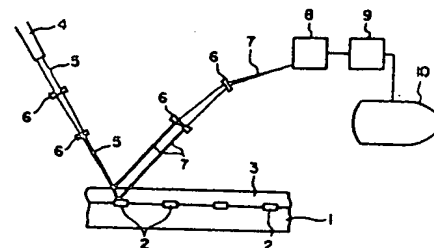


(54) MEASURING DEVICE FOR BURIED LAYER OF INTEGRATED CIRCUIT

(11) 59-82741 (A) (43) 12.5.1984 (19) JP
 (21) Appl. No. 57-193672 (22) 4.11.1982
 (71) TOSHIBA K.K. (72) SHINICHI SUZUKI(1)
 (51) Int. Cl. H01L21/66

PURPOSE: To obtain the titled device, through which the position of the buried layer is detected from the surface of an epitaxial layer through noncontact manner and a pattern can be registered accurately, by detecting reflected rays while moving the irradiating position of infrared beams and measuring the position of the buried layer by the arithmetic operation of a computer.

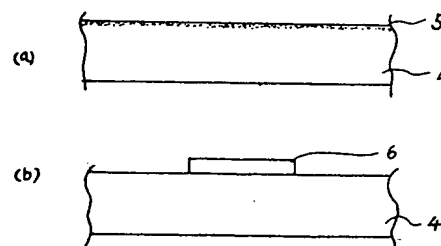
CONSTITUTION: The buried layers 2 are formed to the surface of a wafer 1, and the buried layers are coated with the epitaxial layer 3. The beam diameter of infrared beams 5 from an infrared beam irradiator 4 is adjusted by a germanium lens 6, and the beams are irradiated to the surface of the epitaxial layer 3 from the oblique direction. Infrared beams 5 are reflected partially by the surface of the epitaxial layer 3, and the one part transmits the inside of the layer 3. When there is the buried layer 2 in a transmitting section, reflection is also generated on the surface of the layer. These reflected rays 7 are adjusted adequately by germanium lenses 6, and inputted to a detector 8. A detecting signal from the detector 8 is inputted to the micro-computer 9. An empirical formula and a graph are incorporated into the micro-computer 9, and the presence of the buried layer 2 is decided instantaneously by the detecting signal.

**(54) GLASS SUBSTRATE**

(11) 59-82743 (A) (43) 12.5.1984 (19) JP
 (21) Appl. No. 57-193816 (22) 4.11.1982
 (71) SUWA SEIKOSHA K.K. (72) WAKAO MIYAZAWA
 (51) Int. Cl. H01L21/84, H01L21/20, H01L27/12, H01L29/78

PURPOSE: To prevent the deterioration of the characteristics of an active element by removing the polishing layer of the surface of the glass substrate through etching before forming a semiconductor thin-film such as a silicon thin-film.

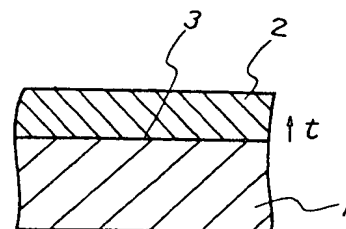
CONSTITUTION: When the glass substrate 4 is dipped for four min in 25% fluoric acid, the surface is removed only by approximately $1.5\mu\text{m}$ through etching, and the polishing layer 5 is removed completely. The whole is dried in a nitrogen atmosphere, and an island 6 made of the silicon thin-film as the semiconductor thin-film is formed. When the silicon thin-film is used as the semiconductor thin-film and a thin-film transistor in which a gate oxide film is constituted by the thermal oxide film of the silicon thin-film is formed, one figure or more of difference is recognized in OFF-leakage current value in the difference of characteristics by the presence of the etching of the surface of the glass substrate, and only removing the polishing layer of the glass substrate through etching contributes to the prevention of the deterioration of the characteristics of the active element.

**(54) MANUFACTURE OF SOS SUBSTRATE**

(11) 59-82744 (A) (43) 12.5.1984 (19) JP
 (21) Appl. No. 57-193172 (22) 2.11.1982
 (71) NIPPON DENKI K.K. (72) KOUJI EGAMI
 (51) Int. Cl. H01L21/86, H01L21/205, H01L21/306, H01L21/316

PURPOSE: To obtain an SOS substrate having superior crystallinity even when a silicon film is thin and having satisfactorily few microtwins by a method wherein the process that the SOS substrate made the single crystal silicon film of the prescribed thickness to grow is heat treated at a temperature higher than the growth temperature and moreover in an oxygen atmosphere, and thus formed oxide film is removed, is repeated up to reach the desired silicon film thickness.

CONSTITUTION: A single crystal silicon film 2 is grown epitaxially at film thickness of $1\mu\text{m}$ or more on a single crystal sapphire substrate 1. As the growth condition, SiH_4 gas is used, the growth temperature is made to 950°C , and the growth speed is made to $1\mu\text{m}/\text{min}$, for example. Then, the heat treatment temperature is selected to $1,100^\circ\text{C}$ as the temperature higher than the growth temperature 950°C , and the heat treatment is performed in an oxygen atmosphere for 1.5hr. An oxide film generated by the heat treatment thereof is etched to be removed by a dilute hydrofluoric acid liquid. The silicon film 2 is thinned as much. The heat treatment and etching thereof are repeated for the 10 cycles in total, and thickness of the silicon film is made to the necessary thickness finally.



⑫ 公開特許公報 (A)

昭59—82744

⑤ Int. Cl.³
 H 01 L 21/86
 21/205
 // H 01 L 21/306
 21/316

識別記号

庁内整理番号
 7739—5F
 7739—5F
 8223—5F
 7739—5F

⑬ 公開 昭和59年(1984)5月12日

発明の数 1
 審査請求 未請求

(全 5 頁)

⑭ SOS基板の製造法

東京都港区芝五丁目33番1号日
 本電気株式会社内

⑯ 特 願 昭57—193172
 ⑰ 出 願 昭57(1982)11月2日
 ⑱ 発 明 者 江上浩二

⑲ 出 願 人 日本電気株式会社
 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

SOS基板の製造法

2. 特許請求の範囲

単結晶のサファイア基板上に厚さ1μm以上の単結晶シリコン膜をエビタキシャル成長させてSOS基板を製作する工程と、前記シリコン膜成長の成長温度より高い温度で、かつ酸素雰囲気の前記SOS基板を熱処理する熱処理工程と前記熱処理工程で形成される前記シリコン膜上の酸化膜をエッチング除去するエッチング工程とを所望のシリコン膜厚になるまで繰返す工程とを含むことを特徴とするSOS基板の製造法。

3. 発明の詳細な説明

本発明はSOS基板の製造法に関する。

サファイア単結晶基板上にシリコン単結晶膜を形成させたSOS(Silicon On Sapphire)は不

純物制御によってデバイス素子間を分離しながら、超LSI等の半導体装置を構成しているバルクシリコンに比べ、シリコン膜を島状に分離して、デバイスを形成するため、高密度化に適し、また寄生容量が少いため、高速化が可能であるという利点を有する。SOSを用いた理想的なデバイスは消費電力の小さい、集積度の密な高速デバイス用として最適であることは良く知られている。

SOS基板はヘテロエビタキシャル成長によりサファイア基板の結晶学的方位に従い、シリコン単結晶膜を形成させたもので、通常、化学気相成長法により形成される。現有のSOS基板はいくつかの欠点を有するが、現在の成長技術においては、上記の化学気相成長法により形成されたものが、他の形成法により得られるものに比べ、結晶性が良い。しかしながら、デバイス製作者にとって、化学気相成長法で形成されたSOS基板は当初の性能の高い理想的デバイスを製作するには未だ不十分で、その結晶性改善が望まれていた。SOS基板を用い所望の理想的な特性を有するデバ

イスを製作しようとする SiO_2 のシリコン膜厚は薄い程（例えば $0.3 \sim 0.2 \mu\text{m}$ 程度あるいはそれ以下）望ましいが、逆に薄い程結晶性は悪くなる。

従来の SiO_2 基板で問題になっていたシリコン膜の結晶性の膜厚依存性及びマイクロツイン（微小双晶）について説明する。まず、結晶性の膜厚依存性について説明する。

第1図は従来の SiO_2 基板の一例の断面図である。

主表面が $(1\bar{1}02)$ 面であるサファイア基板1の上に化学気相成長法により (100) 面を有するシリコン膜2を成長させる。化学気相成長法はシラン (SiH_4) ガスを用い成長温度 950°C で行った。

シリコン膜2の界面3からの距離を t とすると、シリコン膜2の結晶性は t の関数として変化する、即ち、界面3に近づく程、結晶性が劣化することが知られている。この様子は膜厚の異なる SiO_2 についてX線ロックングカーブを測定することに定性的に調べられており、また、X線回折法における運動学理論に基づいたX線ロックングカーブ

- 3 -

れないという欠点があった。

次に、 SiO_2 基板のシリコン膜のもう一つの問題点であるマイクロツイン（微小双晶）について説明する。マイクロツインは第1図のシリコン膜2の界面3付近に存在する。従って、シリコン膜厚が厚いときには、製作したデバイスの特性には余り影響を与えないが、シリコン膜が薄くなるとこの影響が出てくる。シリコン膜厚が $0.2 \mu\text{m}$ 以下の SiO_2 基板では、モザイクネスの悪さとマイクロツインの存在により SiO_2 デバイスは未だ実現されていない。

本発明者は熱処理によるマイクロツインの変化を調べ、次のような結果を得た。(1) 水素雰囲気での熱処理ではマイクロツインはあまり変化しない。(2) 窒素雰囲気での熱処理ではマイクロツインは一部減少する。(3) 酸素雰囲気での熱処理では厚膜 SiO_2 のマイクロツインはやや減少し、薄膜 SiO_2 のマイクロツインは十分に減少する。上記のことより、酸素雰囲気でのマイクロツインの減少は過剰酸素の効果と考えられる。即ち、厚膜 SiO_2 ではシリ

- 5 -

の解析（他；第41回応用物理学会学術講演会19a-N-6(1980)）も行われている。

第2図は結晶の方位分布に対する半値幅を説明する図、第3図は SiO_2 基板のシリコン膜の界面からの距離と方位分布の半値幅との関係を示す曲線図である。

モザイク結晶の方位分布の広がり（モザイクネス）の半値幅を $W_{1/2}$ で表わすと、半値幅 $W_{1/2}$ が小さい程結晶性が良いことを意味する。

第3図に示すように、結晶性は界面が最も悪く、表面に近づくに従って良くなっている。この傾向は、シリコン膜厚を変化させても変わらない。また、界面3からある距離だけ離れた場所における半値幅自体もシリコン膜厚によつてほとんど変化しない。従って、シリコン膜厚の厚い SiO_2 基板を使えば、表面付近のシリコン膜のモザイクネスが良いが、前述のように、特性の良いデバイスを得るには薄いシリコン膜厚の SiO_2 基板を用いたい。所が、シリコン膜厚が薄い場合はモザイクネスが悪く、デバイスを形成したとき良好な特性が得ら

- 4 -

コン膜2が厚いため界面3付近に十分な過剰酸素が供給されず、マイクロツインは余り減少しないが、シリコン膜2が薄くなると過剰酸素の供給が十分になるためと考えられる。

このように、 SiO_2 基板のシリコン膜には結晶性とマイクロツインの二つの問題があり、シリコン膜が薄いときはマイクロツインを酸素雰囲気での熱処理で低減させ得ることがわかったが、シリコン膜が薄いときには結晶性が悪いという問題がまだ残っている。

SiO_2 基板のシリコン膜の結晶性を改善する方法として、ビームアニール法 (I. Golecki et al, Appl. Phys. Lett, 第37巻, 10号, (1980) 919頁) が提案されている。この方法は、シリコン膜にレーザビームを照射して一旦、融液化した後、再成長を行う方法である。この方法はシリコンを融液化するような高温熱処理であるため、サファイアからの Al 等の不純物が拡散するので結晶性は良くなっても、不純物濃度の変化が起り、デバイス形成には不適当なシリコン膜になるとい

- 6 -

う欠点がある。

本発明者は、前述のマイクロツインの低減に有効であつた酸素雰囲気での熱処理が、結晶性の改善にも有効であるかどうかを調べた。

第4図はSOS基板のシリコン膜の酸素雰囲気中での熱処理前後における結晶性の変化を示す曲線図である。

横軸は界面からの距離、縦軸は方位分布の半値幅である。シリコン膜厚は $0.6\mu\text{m}$ 及び $1.5\mu\text{m}$ の2種類とし、熱処理前のものを実線で、熱処理後のものを小さな破線($0.6\mu\text{m}$ 膜厚品)と大きな破線($1.5\mu\text{m}$ 膜厚品)で示した。熱処理前では $0.6\mu\text{m}$ 膜厚品と $1.5\mu\text{m}$ 膜厚品とはほぼ同じであるので、第4図においては両者を一本の実線で示した。処理温度は 1100°C 、300分の条件で行つた。半値幅はX線ロックングカーブのカーベチャ解析により行つた。

この結果から、酸素雰囲気中での熱処理は、シリコン膜厚の厚い方により大きな結晶性の改善があるが、薄い方では改善効果はそれ程大きくない

— 7 —

して、主面が(1102)のサファイア基板1の上に単結晶のシリコン膜2を $1.1\mu\text{m}$ の膜厚にエピタキシャル成長させる。成長条件は、 SiH_4 ガスを、成長温度 950°C 、成長速度 $1\mu\text{m}/\text{min}$ とした。次に、成長温度 950°C より高い温度として熱処理温度 1100°C を選び、酸素雰囲気中で1.5時間熱処理を行う。この熱処理で生じた酸化膜を希フッ酸液でエッチング除去する。この分だけシリコン膜2は薄くなる。この熱処理とエッチングとを合計10サイクル繰返して最終的にシリコン膜厚を $0.37\mu\text{m}$ となるようにした。比較のために、これとは別に、前記成長条件と同じ条件で製作し、シリコン膜厚が $1.1\mu\text{m}$ のSOS基板を酸素雰囲気中で 1100°C にて連続15時間熱処理し、生成された酸化膜をエッチング除去した試料を作成した。この比較試料のシリコン膜厚は $0.87\mu\text{m}$ となった。

第5図は本発明の熱処理及びエッチングの実施前後におけるSOS基板のシリコン膜の界面からの距離に対する半値幅の変化を示す曲線図である。

実線4は熱処理前、破線5は熱処理及びエッチ

ことがわ。即ち、シリコン膜厚の薄いSOS基板は酸素雰囲気中での熱処理によりマイクロツインを低減できるが、結晶性は希望する程改善されないという欠点があった。

本発明の目的は、上記欠点を除去し、シリコン膜が薄くても結晶性が優れ、しかもマイクロツインが十分に少ないSOS基板の製造法を提供することにある。

本発明のSOS基板の製造法は、単結晶のサファイア基板上に厚さ $1\mu\text{m}$ 以上の単結晶シリコン膜をエピタキシャル成長させてSOS基板を製作する工程と、前記シリコン膜成長の成長温度より高い温度で、かつ酸素雰囲気中で前記SOS基板を熱処理する熱処理工程と前記熱処理工程で形成される前記シリコン膜上の酸化膜をエッチング除去するエッチング工程とを所望のシリコン膜厚になるまで繰返す工程とを含んで構成される。

次に、本発明の実施例について図面を用いて説明する。

第1図で説明したSOS基板の製造法と同様に

— 8 —

ング後のそれぞれの半値幅の変化を示す。破線6は比較試料の熱処理及びエッチング後の半値幅を示す。比較試料の熱処理前の半値幅は、実線4と同じである。

第4図からわかるように、熱処理後においては熱処理前のそれに比べて半分以下になつている。比較試料の方は熱処理とエッチングとを繰返した試料よりもやや半値幅は高い値を示しているが、結晶性の改善にはほぼ同様の効果を有している。

第6図(a)、(b)は本発明の熱処理及びエッチング実施前後におけるSOS基板のシリコン膜のX線チャートである。

第6図(a)は本発明の熱処理及びエッチング実施前、第6図(b)は実施後におけるシリコン膜のX線チャートである。即ち第6図(a)は第5図の実線4に対応し、第6図(b)は第5図の破線5に対応する。第6図(a)ではマイクロツインのピークが見られるが、第6図(b)ではほとんど見られない。即ち、本発明の熱処理とエッチングとを行うことにより、マイクロツインは十分に減少したことを示してい

— 9 —

— 10 —

る。尚、図示していないが、酸素雰囲気中で連続15時間熱処理を行った比較試料のマイクロツインは十分に減少していなかった。これは酸化膜形成速度が、 d を酸化膜厚、 t を熱処理時間、 a を速度定数とすると、 $d = a\sqrt{t}$ の関係にあり、熱処理時間 t を n 分割し、1回の熱処理時間が t/n である熱処理を n 回（合計処理時間は t ）繰り返して行った場合の酸化膜厚 d' が $d' = \sqrt{n} \cdot d$ となることによるものである。ただし、各々の熱処理で生じた酸化膜は取りのぞくとする。従って、熱処理時間15時間当りのシリコン膜の減少は単一処理の場合は繰り返し処理に比べ、 $1/\sqrt{10} = 0.316$ であるから、約70%小さく、界面付近に存在するマイクロツインに与える過剰酸素の効果が弱いことになる。

上記実施例においては、主面が(1102)面であるサファイア基板を用いたが、(0001)面のサファイア基板を用いて(111)面を有する単結晶シリコン膜を形成したSOS基板についても本発明は実施でき、同様の良好な改善結果が得られる。

-11-

……界面。

代理人 弁理士 内原 晋



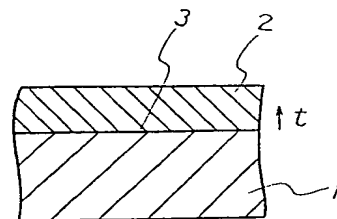
以上詳細に説明したように、本発明によれば、シリコン膜が $0.3 \sim 0.2 \mu\text{m}$ 程度あるいはそれ以下の薄い膜厚を有し、しかもシリコン膜の結晶性が優れ、マイクロツインが極めて少ないSOS基板を製造することができるのでその効果は大きい。

4. 図面の簡単な説明

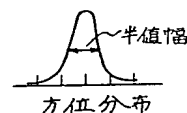
第1図は従来のSOS基板の一例の断面図、第2図は結晶の方位分布に対する半値幅を説明する図、第3図はSOS基板のシリコン膜の界面からの距離と方位分布の半値幅との関係を示す曲線図、第4図はSOS基板のシリコン膜の酸素雰囲気中の熱処理前後における結晶性の变化を示す曲線図、第5図は本発明の熱処理及びエッチングの実施前後におけるSOS基板のシリコン膜の界面からの距離に対する半値幅の変化を示す曲線図、第6図(a)、(b)は本発明の熱処理及びエッチング前後におけるSOS基板のシリコン膜のX線チャートである。

1……サファイア基板、2……シリコン膜、3

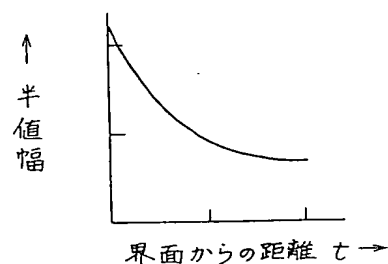
-12-



第1図

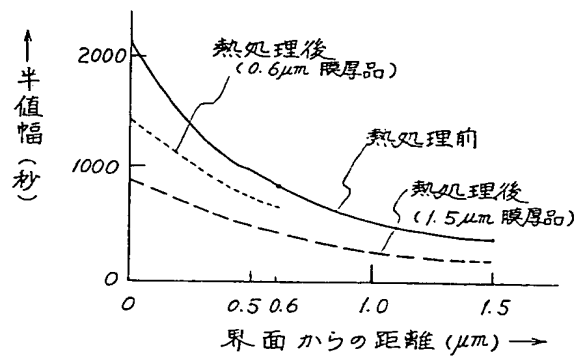


第2図

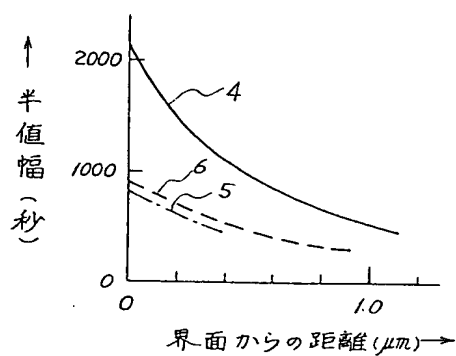


第3図

-13-



第 4 図



第 5 図

第 6 図

